

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

BLACK BORDERS

- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08222808 A**(43) Date of publication of application: **30 . 08 . 96**

(51) Int. Cl.

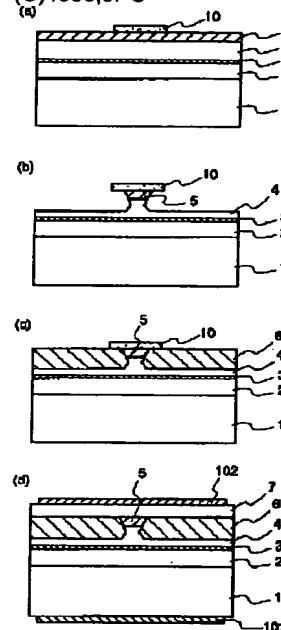
H01S 3/18
H01L 33/00
(21) Application number: **07026369**(22) Date of filing: **15 . 02 . 95**(71) Applicant: **MITSUBISHI ELECTRIC CORP**
 (72) Inventor: **YAMAMOTO AKISUKE**
HIRONAKA MISAO
(54) MANUFACTURE OF SEMICONDUCTOR
LIGHT-EMITTING DEVICE

COPYRIGHT: (C)1996,JPO

(57) Abstract:

PURPOSE: To obtain a manufacture of a semiconductor light-emitting device which can prevent a material of a current block layer from sticking on the surface of a mask for selective growth of the current block layer.

CONSTITUTION: A stripe-shaped SiON film 10 of a thickness 50nm or less is formed on a P-type GaAs cap layer 5. With this film used as a mask, the cap layer 5 and an upper clad layer 4 are etched to a prescribed depth so as to form an optical waveguide, and an N-type GaAs current block layer 6 is made to grow selectively, with the SiON film used as the mask, in an etched-off part. After this mask is removed, a contact layer 7 is made to grow. Accordingly, a growth fault of the P-type GaAs contact layer can be suppressed, and since generation of a dark line due to a stress between the mask for the selective growth of the current block layer and the P-type GaAs cap layer is suppressed, lowering of a light output to be caused thereby can be prevented.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-222808

(43) 公開日 平成8年(1996)8月30日

(51) Int. Cl.

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 S 3/18

H 0 1 S 3/18

H 0 1 L 33/00

H 0 1 L 33/00

A

審査請求 未請求 請求項の数10 O L (全 15 頁)

(21) 出願番号 特願平7-26369

(22) 出願日 平成7年(1995)2月15日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 山本 陽祐

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社北伊丹製作所内

(72) 発明者 広中 美佐夫

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社北伊丹製作所内

(74) 代理人 弁理士 早瀬 憲一

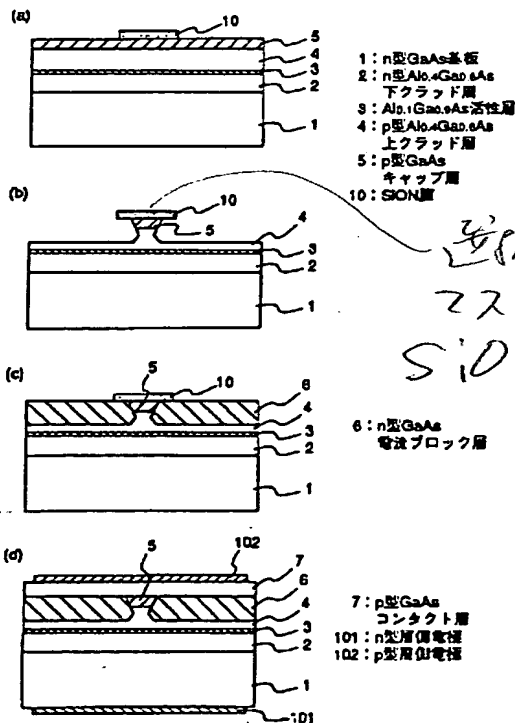
(54) 【発明の名称】 半導体発光装置の製造方法

(57) 【要約】

【目的】 電流ブロック層の選択成長マスク表面での電流ブロック層材料の付着を防止し、ダークライン発生を抑制できる半導体発光装置の製造方法を提供する。

【構成】 p型GaAsキャップ層5上に厚さ50nm以下のストライプ状のSiON膜10を形成し、この膜をマスクとしてキャップ層5と上クラッド層4を所定の深さまでエッチングして、光導波路を形成し、上記エッチングにより除去された部分に、上記SiON膜をマスクとして、n型GaAs電流ブロック層6を選択成長させ、このマスク除去後に、コンタクト層7を成長させる。

【効果】 p型GaAsコンタクト層の成長不良を抑制でき、また電流ブロック層の選択成長マスクとp型GaAsキャップ層の間の応力に起因するダークラインの発生が抑制されるため、これによる光出力の低下を防止することができる。



【特許請求の範囲】

【請求項1】 半導体層表面のストライプ状の領域に厚さ50nm以下のSiON膜をその成膜温度を第1の温度として形成する工程と、
上記SiON膜をマスクとして上記半導体層を所定の深さまでエッチングして、上記SiON膜の下に残された上記半導体層からなる光導波路を形成する工程と、
上記エッチングにより除去された上記半導体層の部分に、上記SiON膜をマスクとして、電流ブロック層となる第2の半導体層を成長温度を第2の温度として選択成長させる工程とを含むことを特徴とする半導体発光装置の製造方法。

【請求項2】 請求項1に記載の半導体発光装置の製造方法において、
上記電流ブロック層を選択成長させる工程の後、上記SiON膜をエッチング除去し、さらに上記光導波路上及び上記電流ブロック層上の全面にコンタクト層を成長させる工程を含むことを特徴とする半導体発光装置の製造方法。

【請求項3】 請求項1または2に記載の半導体発光装置の製造方法において、
上記電流ブロック層は、GaAsからなることを特徴とする半導体発光装置の製造方法。

【請求項4】 請求項1ないし3のいずれかに記載の半導体発光装置の製造方法において、
上記第1の温度は、500℃以上であることを特徴とする半導体発光装置の製造方法。

【請求項5】 請求項1ないし3のいずれかに記載の半導体発光装置の製造方法において、
上記第1の温度と上記第2の温度との温度差の絶対値が100℃以下であることを特徴とする半導体発光装置の製造方法。

【請求項6】 半導体層表面のストライプ状の領域に厚さ50nm以下のSiN膜をその成膜温度を第1の温度として形成する工程と、
上記SiN膜をマスクとして上記半導体層を所定の深さまでエッチングして、上記SiN膜の下に残された上記半導体層からなる光導波路を形成する工程と、
上記エッチングにより除去された上記半導体層の部分に、上記SiN膜をマスクとして、電流ブロック層となる第2の半導体層を成長温度を第2の温度として選択成長させる工程とを含むことを特徴とする半導体発光装置の製造方法。

【請求項7】 請求項6に記載の半導体発光装置の製造方法において、
上記電流ブロック層を選択成長させる工程の後、上記SiN膜をエッチング除去し、さらに上記光導波路上及び上記電流ブロック層上の全面にコンタクト層を成長させる工程を含むことを特徴とする半導体発光装置の製造方法。

【請求項8】 請求項6または7に記載の半導体発光装置の製造方法において、

上記電流ブロック層は、GaAsからなることを特徴とする半導体発光装置の製造方法。

【請求項9】 請求項6ないし8のいずれかに記載の半導体発光装置の製造方法において、

上記第1の温度は、500℃以上であることを特徴とする半導体発光装置の製造方法。

【請求項10】 請求項6ないし8のいずれかに記載の半導体発光装置の製造方法において、

上記第1の温度と上記第2の温度との温度差の絶対値が100℃以下であることを特徴とする半導体発光装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体発光装置の製造方法に関し、特に、光導波路の両脇に電流ブロック層を選択成長させる半導体レーザ装置の製造方法に関するものである。

【0002】

【従来の技術】図7は、従来の半導体レーザ装置の製造方法の断面図である。この従来の製造方法においては、まず、図7(a)に示すように、n型GaAs基板1上にn型Al_{0.4}Ga_{0.6}As下クラッド層2、Al_{0.1}Ga_{0.9}As活性層3、p型Al_{0.4}Ga_{0.6}As上クラッド層4、p型GaAsキャップ層5を順にエピタキシャル成長させた後、p型GaAsキャップ層5表面にSiO₂膜を成膜し、この膜をストライプ状の領域にのみ残すように、この領域以外の領域のSiO₂膜をエッチングして、除去する。次に、この残されたSiO₂膜70をマスクとして、上記p型GaAsキャップ層5及びp型AlGaAs上クラッド層4の一部をエッチング除去して、図7(b)に示すような、SiO₂膜下の光導波路となる部分を残す。さらに、図7(c)に示すように、エッチングされた部分を埋め込むように、n型GaAs電流ブロック層6を選択成長させる。次に、SiO₂膜70を除去した後、図7(d)に示すように、全面にp型GaAsコンタクト層7を成長させ、さらに、n型GaAs基板1の裏面にn型層側電極101、p型GaAsコンタクト層7の表面にp型層側電極102を形成する。このようにして作製された半導体レーザ装置の上記両電極間に順方向バイアス電圧を印加して、これにより流れる電流をレーザのしきい電流以上となるようにするとレーザ発振が起きる。この際、電流ブロック層により、この半導体レーザ装置を流れる電流は、上記の光導波路領域に集中する。このため、この領域の活性層に効率的に電子と正孔が注入されて、これらが再結合することにより光導波路領域の活性層においてレーザ発振が起きるのである。上記と同様な半導体レーザ装置の製造方法は、S.Yamashita et al., "High-Power 780nm AlGaAs

Quantum-Well Lasers and Their Reliable Operation,"
IEEE Journal of Quantum Electronics, vol.27, pp.1
544-1549, June 1991 にも示されている。

【0003】

【発明が解決しようとする課題】上記のように従来の半
導体レーザ装置の製造方法においては、電流ブロック層
6の選択成長マスクが酸素を多量に含むSiO₂膜であ
るため、電流ブロック層6の選択成長時にこのSiO₂
膜上に電流ブロック層6の構成材料であるGaAsが部
分的に付着する場合がある。一般にSiO₂膜の除去に
用いられるエッチングにおいては、GaAsはエッチン
グされない。例えば、SiO₂のエッチングによく用い
られるフッ酸系のエッチング液にはSiO₂は溶解する
が、GaAsは溶解しない。このため、SiO₂膜をエ
ッチングする際、SiO₂膜上に付着したGaAs直下
のSiO₂膜が除去されずにp型GaAsキャップ層5
の表面に残り、これがこのキャップ層5上に形成される
コンタクト層7の成長不良の原因となっていた。このよ
うなコンタクト層7の成長不良が起きると、コンタクト
層7の電気抵抗が増加し、光出力が低下する。

【0004】また、電流ブロック層選択成長過程及び成
長後の冷却過程において、SiO₂膜70とp型GaA
sキャップ層5の間のせん断応力等により転位が半導体
層内に導入され、光導波路領域の活性層3を貫く。この
ようなレーザ装置を動作させると転位が活性層3内で増
殖し、この転位の近傍では、電子と正孔の再結合が非発
光性の再結合となる。このような、転位近傍の非発光領
域はダークラインと呼ばれている。このダークラインの
発生により、レーザ装置の光出力が低下する。

【0005】この発明は上記の問題に鑑みなされたもの
であり、電流ブロック層選択成長時の選択成長マスク表
面における電流ブロック層材料の付着を防止するととも
に、活性層に対する転位の導入を抑制することができる
半導体発光装置の製造方法を提供することを目的とする
ものである。

【0006】

【課題を解決するための手段】この発明（請求項1）に
係る半導体発光装置の製造方法は、半導体層表面のスト
ライプ状の領域に厚さ50nm以下のSiON膜をその
成膜温度を第1の温度として形成する工程と、上記Si
ON膜をマスクとして上記半導体層を所定の深さまでエ
ッチングして、上記SiON膜の下に残された上記半導
体層からなる光導波路を形成する工程と、上記エッチン
グにより除去された上記半導体層の部分に、上記SiO
N膜をマスクとして、電流ブロック層となる第2の半導
体層を成長温度を第2の温度として選択成長させる工程
とを含むものである。

【0007】この発明（請求項2）に係る半導体発光装
置の製造方法は、上記の半導体発光装置の製造方法（請
求項1）において、上記電流ブロック層を選択成長させ

る工程の後、上記SiON膜をエッチング除去し、さら
に上記光導波路上及び上記電流ブロック層上の全面にコ
ンタクト層を成長させる工程を含むものである。

【0008】この発明（請求項3）に係る半導体発光装
置の製造方法は、上記の半導体発光装置の製造方法（請
求項1または2）において、上記電流ブロック層が、G
aAsからなるものである。

【0009】この発明（請求項4）に係る半導体発光装
置の製造方法は、上記の半導体発光装置の製造方法（請
求項1ないし3のいずれか）において、上記第1の温度
が、500℃以上であるものである。

【0010】この発明（請求項5）に係る半導体発光装
置の製造方法は、上記の半導体発光装置の製造方法（請
求項1ないし3のいずれか）において、上記第1の温度
と上記第2の温度との温度差の絶対値が100℃以下で
あるものである。

【0011】この発明（請求項6）に係る半導体発光装
置の製造方法は、半導体層表面のストライプ状の領域に
厚さ50nm以下のSiN膜をその成膜温度を第1の温
度として形成する工程と、上記SiN膜をマスクとして
上記半導体層を所定の深さまでエッチングして、上記S
iN膜の下に残された上記半導体層からなる光導波路を
形成する工程と、上記エッチングにより除去された上記
半導体層の部分に、上記SiN膜をマスクとして、電流
ブロック層となる第2の半導体層を成長温度を第2の温
度として選択成長させる工程とを含むものである。

【0012】この発明（請求項7）に係る半導体発光装
置の製造方法は、上記の半導体発光装置の製造方法（請
求項6）において、上記電流ブロック層を選択成長させ
る工程の後、上記SiN膜をエッチング除去し、さらに
上記光導波路上及び上記電流ブロック層上の全面にコン
タクト層を成長させる工程を含むものである。

【0013】この発明（請求項8）に係る半導体発光装
置の製造方法は、上記の半導体発光装置の製造方法（請
求項6または7）において、上記電流ブロック層が、G
aAsからなるものである。

【0014】この発明（請求項9）に係る半導体発光装
置の製造方法は、上記の半導体発光装置の製造方法（請
求項6ないし8のいずれか）において、上記第1の温度
が、500℃以上であるものである。

【0015】この発明（請求項10）に係る半導体発光
装置の製造方法は、上記の半導体発光装置の製造方法
（請求項6ないし8のいずれか）において、上記第1の
温度と上記第2の温度との温度差の絶対値が100℃以
下であるものである。

【0016】

【作用】この発明（請求項1）に係る半導体発光装置の
製造方法では、半導体層表面のストライプ状の領域に厚
さ50nm以下のSiON膜をその成膜温度を第1の温
度として形成する工程と、上記SiON膜をマスクとし

て上記半導体層を所定の深さまでエッチングして、上記SiON膜の下に残された上記半導体層からなる光導波路を形成する工程と、上記エッチングにより除去された上記半導体層の部分に、上記SiON膜をマスクとして、電流ブロック層となる第2の半導体層を成長温度を第2の温度とじて選択成長させる工程とを含み、電流ブロック層の選択成長マスクが従来のSiO₂より酸素の含有比率の低いSiONからなるものとなるため、このSiON膜表面における電流ブロック層材料の付着を抑制することができ、電流ブロック層成長後にSiON膜を除去する際に、付着した電流ブロック層材料直下のSiON膜が残ることを防止できる。このため、SiON膜除去後に上記光導波路上に成長させるコンタクト層の成長不良を抑制でき、また導波路上に直接電極を形成する場合であっても、この電極と導波路上面との接触不良を防止できる。従って、コンタクト層の成長不良、または上記電極と導波路上面との接触不良による光出力の低下を防止することができる。また、電流ブロック層の選択成長マスクであるSiON膜の膜厚が50nm以下と薄いため、電流ブロック層選択成長時の熱履歴によって選択成長マスクと光導波路の上部を構成する半導体層との間に発生するせん断応力等の応力が緩和され、この応力に起因する転位が光導波路を構成する半導体層に導入されるのを防止することができる。従って、この転位による活性層内のダークラインの発生が抑制され、これによる光出力の低下を防止することができる。

【0017】この発明（請求項2）に係る半導体発光装置の製造方法では、上記の半導体発光装置の製造方法（請求項1）において、上記電流ブロック層を選択成長させる工程の後、上記SiON膜をエッチング除去し、さらに上記光導波路上及び上記電流ブロック層上の全面にコンタクト層を成長させる工程を含み、電流ブロック層の選択成長マスクが従来のSiO₂より酸素の含有比率の低いSiONからなるものとなるため、このSiON膜表面における電流ブロック層材料の付着を抑制することができ、電流ブロック層成長後にSiON膜をエッチング除去する際に、付着した電流ブロック層材料直下のSiON膜が残ることを防止できる。このため、SiON膜除去後に上記光導波路上に成長させるコンタクト層の成長不良を抑制でき、これによる光出力の低下を防止することができる。また、上記のように電流ブロック層の選択成長マスクであるSiON膜の膜厚が50nm以下と薄いため、電流ブロック層選択成長時の熱履歴によって選択成長マスクと光導波路の上部を構成する半導体層との間に発生するせん断応力等の応力が緩和され、この応力に起因する転位による活性層内のダークラインの発生が抑制され、これによる光出力の低下を防止することができる。

【0018】この発明（請求項3）に係る半導体発光装置の製造方法では、上記の半導体発光装置の製造方法

（請求項1または2）において、上記電流ブロック層が、GaAsからなるものであり、かつ上記のように電流ブロック層の選択成長マスクが従来のSiO₂より酸素の含有比率の低いSiONからなるものであるため、このSiON膜表面における電流ブロック層材料であるGaAsの付着を抑制することができ、電流ブロック層成長後にSiON膜を除去する際に、付着したGaAs直下のSiON膜が残ることを防止できる。このため、SiON膜除去後に上記光導波路上に成長させるコンタクト層の成長不良、または導波路上に直接形成される電極と導波路との接触不良を抑制でき、これによる光出力の低下を防止することができる。また、上記のように電流ブロック層の選択成長マスクであるSiON膜の膜厚が50nm以下と薄いため、電流ブロック層選択成長時の熱履歴によって選択成長マスクと光導波路の上部を構成する半導体層との間に発生するせん断応力等の応力が緩和され、この応力に起因する転位による活性層内のダークラインの発生が抑制され、これによる光出力の低下を防止することができる。

【0019】この発明（請求項4）に係る半導体発光装置の製造方法では、上記の半導体発光装置の製造方法（請求項1ないし3のいずれか）において、上記第1の温度が、500℃以上であり、かつ上記のように電流ブロック層の選択成長マスクがSiO₂より酸素の含有比率の低いSiONからなるものであるため、上記のようにSiON膜除去後に上記光導波路上に成長させるコンタクト層の成長不良、または導波路上に直接形成される電極と導波路との接触不良を抑制でき、これによる光出力の低下を防止することができる。また、電流ブロック層の選択成長マスクであるSiON膜の膜厚が50nm以下と薄いだけでなく、その成膜温度すなわち上記第1の温度が500℃以上と光導波路を構成する半導体層の原子の再配置が起きる温度であるため、電流ブロック層選択成長時に室温から一般的な電流ブロック層の成長温度600～700℃まで昇温しても、光導波路の上部を構成する半導体層は、既にこのような高温で選択成長マスクとの間で応力を生じないような上記の原子の再配置がなされているため、この選択成長において選択成長マスクと光導波路の上部を構成する半導体層との間に発生するせん断応力等の応力が緩和される。このため、この応力に起因する転位が光導波路を構成する半導体層に導入されるのを防止することができる。従って、この転位による活性層内のダークラインの発生が抑制され、これによる光出力の低下を防止することができる。

【0020】この発明（請求項5）に係る半導体発光装置の製造方法では、上記の半導体発光装置の製造方法（請求項1ないし3のいずれか）において、上記第1の温度と上記第2の温度との温度差の絶対値が100℃以下であり、かつ上記のように電流ブロック層の選択成長マスクがSiO₂より酸素の含有比率の低いSiONか

らなるものであるため、上記のように SiON 膜除去後に上記光導波路上に成長させるコンタクト層の成長不良、または導波路上に直接形成される電極と導波路との接触不良を抑制でき、これによる光出力の低下を防止することができる。また、電流ブロック層の選択成長マスクである SiON 膜の膜厚が 50 nm 以下と薄いため、その成膜温度すなわち上記第 1 の温度と、電流ブロック層の成長温度すなわち上記第 2 の温度が同程度であるため、光導波路上部の半導体層は選択成長マスク成膜時に電流ブロック層選択成長時に近い熱履歴を受けることとなる。このため、電流ブロック層選択成長時に選択成長マスクと光導波路の上部を構成する半導体層との間に発生するせん断応力等の応力が緩和され、この応力に起因する転位が光導波路を構成する半導体層に導入されるのを防止することができる。従って、この転位による活性層内のダークラインの発生が抑制され、これによる光出力の低下を防止することができる。

【0021】この発明（請求項 6）に係る半導体発光装置の製造方法では、半導体層表面のストライプ状の領域に厚さ 50 nm 以下の SiN 膜をその成膜温度を第 1 の温度として形成する工程と、上記 SiN 膜をマスクとして上記半導体層を所定の深さまでエッチングして、上記 SiN 膜の下に残された上記半導体層からなる光導波路を形成する工程と、上記エッチングにより除去された上記半導体層の部分に、上記 SiN 膜をマスクとして、電流ブロック層となる第 2 の半導体層を成長温度を第 2 の温度として選択成長させる工程とを含み、電流ブロック層の選択成長マスクが SiO₂ 及び SiON と異なり、酸素を含有しない SiN からなるものであるため、従来の製造方法及び上記の製造方法（請求項 1～5）を用いた場合より、この選択成長マスク表面における電流ブロック層材料の付着をさらに抑制することができ、電流ブロック層成長後に SiN 膜を除去する際に、付着した電流ブロック層材料直下の SiN 膜が残ることを防止できる。このため、SiN 膜除去後に上記光導波路上に成長させるコンタクト層の成長不良を抑制でき、また導波路上に直接電極を形成する場合であっても、この電極と導波路上面との接触不良を防止できる。従って、コンタクト層の成長不良、または上記電極と導波路上面との接触不良による光出力の低下を防止することができる。また、電流ブロック層の選択成長マスクである SiN 膜の膜厚が 50 nm 以下と薄いため、電流ブロック層選択成長時の熱履歴によって選択成長マスクと光導波路の上部を構成する半導体層との間に発生するせん断応力等の応力が緩和され、この応力に起因する転位が光導波路を構成する半導体層に導入されるのを防止することができる。従って、この転位による活性層内のダークラインの発生が抑制され、これによる光出力の低下を防止することができる。

【0022】この発明（請求項 7）に係る半導体発光装

置の製造方法では、上記の半導体発光装置の製造方法（請求項 6）において、上記電流ブロック層を選択成長させる工程の後、上記 SiN 膜をエッチング除去し、さらに上記光導波路上及び上記電流ブロック層上の全面にコンタクト層を成長させる工程を含み、電流ブロック層の選択成長マスクが SiO₂ 及び SiON と異なり、酸素を含まない SiN からなるものであるため、この SiN 膜表面における電流ブロック層材料の付着を抑制することができ、電流ブロック層成長後に SiN 膜をエッチング除去する際に、付着した電流ブロック層材料直下の SiN 膜が残ることを防止できる。このため、SiN 膜除去後に上記光導波路上に成長させるコンタクト層の成長不良を抑制でき、これによる光出力の低下を防止することができる。また、上記のように電流ブロック層の選択成長マスクである SiN 膜の膜厚が 50 nm 以下と薄いため、電流ブロック層選択成長時の熱履歴によって選択成長マスクと光導波路の上部を構成する半導体層との間に発生するせん断応力等の応力が緩和され、この応力に起因する転位による活性層内のダークラインの発生が抑制され、これによる光出力の低下を防止することができる。

【0023】この発明（請求項 8）に係る半導体発光装置の製造方法では、上記の半導体発光装置の製造方法（請求項 6 または 7）において、上記電流ブロック層が、GaAs からなるものであり、かつ上記のように電流ブロック層の選択成長マスクが SiO₂ 及び SiON と異なり、酸素を含まない SiN からなるものであるため、この SiN 膜表面における電流ブロック層材料である GaAs の付着を抑制することができ、電流ブロック層成長後に SiN 膜を除去する際に、付着した GaAs 直下の SiN 膜が残ることを防止できる。このため、SiN 膜除去後に上記光導波路上に成長させるコンタクト層の成長不良、または導波路上に直接形成される電極と導波路との接触不良を抑制でき、これによる光出力の低下を防止することができる。また、上記のように電流ブロック層の選択成長マスクである SiN 膜の膜厚が 50 nm 以下と薄いため、電流ブロック層選択成長時の熱履歴によって選択成長マスクと光導波路の上部を構成する半導体層との間に発生するせん断応力等の応力が緩和され、この応力に起因する転位による活性層内のダークラインの発生が抑制され、これによる光出力の低下を防止することができる。

【0024】この発明（請求項 9）に係る半導体発光装置の製造方法では、上記の半導体発光装置の製造方法（請求項 6 ないし 8 のいずれか）において、上記第 1 の温度が、500℃以上であり、かつ上記のように電流ブロック層の選択成長マスクが SiO₂ 及び SiON と異なり、酸素を含有しない SiN からなるものであるため、上記のように SiN 膜除去後に上記光導波路上に成長させるコンタクト層の成長不良、または導波路上に直

接形成される電極と導波路との接触不良を抑制でき、これによる光出力の低下を防止することができる。また、電流ブロック層の選択成長マスクであるSiN膜の膜厚が50nm以下と薄いだけでなく、その成膜温度すなわち上記第1の温度が500℃以上と光導波路を構成する半導体層の原子の再配置が起きる温度であるため、電流ブロック層選択成長時に室温から一般的な電流ブロック層の成長温度600～700℃まで昇温しても、光導波路の上部を構成する半導体層は、既にこのような高温で選択成長マスクとの間で応力を生じないような上記の原子の再配置がなされているため、この選択成長において選択成長マスクと光導波路の上部を構成する半導体層との間に発生するせん断応力等の応力が緩和される。このため、この応力に起因する転位が光導波路を構成する半導体層に導入されるのを防止することができる。従って、この転位による活性層内のダークラインの発生が抑制され、これによる光出力の低下を防止することができる。

【0025】この発明（請求項10）に係る半導体発光装置の製造方法では、上記の半導体発光装置の製造方法（請求項6ないし8のいずれか）において、上記第1の温度と上記第2の温度との温度差の絶対値が100℃以下であり、かつ上記のように電流ブロック層の選択成長マスクがSiO₂及びSiONと異なり、酸素を含有しないSiNからなるものであるため、上記のようにSiN膜除去後に上記光導波路上に成長させるコンタクト層の成長不良、または導波路上に直接形成される電極と導波路との接触不良を抑制でき、これによる光出力の低下を防止することができる。また、電流ブロック層の選択成長マスクであるSiN膜の膜厚が50nm以下と薄いだけでなく、その成膜温度すなわち上記第1の温度と、電流ブロック層の成長温度すなわち上記第2の温度が同程度であるため、光導波路上部の半導体層は選択成長マスク成膜時に電流ブロック層選択成長時に近い熱履歴を受けることとなる。このため、電流ブロック層選択成長時に選択成長マスクと光導波路の上部を構成する半導体層との間に発生するせん断応力等の応力が緩和され、この応力に起因する転位が光導波路を構成する半導体層に導入されるのを防止することができる。従って、この転位による活性層内のダークラインの発生が抑制され、これによる光出力の低下を防止することができる。

【0026】

【実施例】

実施例1. この発明の第1の実施例について説明する。図1は本実施例の半導体発光装置の製造方法を示す断面図である。まず、図1(a)に示すように、n型GaAs基板1の表面上の全面に、有機金属気相成長(MOCVD)法を用いてn型Al_{0.4}Ga_{0.6}As下クラッド層2、Al_{0.1}Ga_{0.9}As活性層3、p型Al_{0.4}Ga_{0.6}As上クラッド層4、p型GaAsキャップ層5

を順に成長温度700℃程度でエピタキシャル成長させた後、p型GaAsキャップ層5表面にCVD法を用いて厚さ50nm以下のSiON膜を成膜し、この膜をストライプ状の領域にのみ残すように、この領域以外の領域のSiON膜をエッチングして、除去する。次に、この残されたSiON膜10をマスクとして、上記p型GaAsキャップ層5及びp型AlGaAs上クラッド層4の一部を酒石酸系のエッチング液等を用いてエッチング除去して、図1(b)に示すような、SiON膜10の下の方導波路となる部分を残す。さらに、図1(c)に示すように、エッチングされた部分を埋め込むように、MOCVD法を用いてn型GaAs電流ブロック層6をSiON膜10をマスクとして選択成長させる。この際の成長温度は600～700℃である。次に、図1(d)に示すように、フッ酸系のエッチング液等を用いてSiON膜10を除去した後、全面にp型GaAsコンタクト層7を成長させ、さらに、n型GaAs基板1の裏面にn型層側電極101、p型GaAsコンタクト層7の表面にp型層側電極102を形成する。このようにして作製された半導体レーザ装置の上記両電極間に順方向バイアス電圧を印加して、これにより流れる電流をレーザのしきい電流以上となるようにするとレーザ発振が起きる。

【0027】本実施例1においては、電流ブロック層の選択成長マスクが従来のSiO₂より酸素の含有比率の低いSiONからなるため、n型GaAs電流ブロック層の選択成長において、このSiON膜表面におけるGaAsの付着を抑制することができ、電流ブロック層成長後にSiON膜を除去する際に、付着したGaAs直下のSiON膜が残ることを防止できる。このため、SiON膜除去後に上記p型GaAsキャップ層上に成長させるp型GaAsコンタクト層の成長不良を抑制でき、これによる光出力の低下を防止することができる。

【0028】また、本実施例1においては、電流ブロック層の選択成長マスクであるSiON膜の膜厚が50nm以下と薄いため、電流ブロック層選択成長時の熱履歴によって選択成長マスクとp型GaAsキャップ層との間に発生するせん断応力等の応力が緩和され、この応力に起因する転位が光導波路を構成する半導体層に導入されるのを防止することができる。従って、この転位による活性層内のダークラインの発生が抑制され、これによる光出力の低下を防止することができる。

【0029】実施例2. この発明の第2の実施例について説明する。図2は本実施例の半導体発光装置の製造方法を示す断面図である。まず、図2(a)に示すように、n型GaAs基板1の表面上の全面に、MOCVD法を用いてn型Al_{0.4}Ga_{0.6}As下クラッド層2、Al_{0.1}Ga_{0.9}As活性層3、p型Al_{0.4}Ga_{0.6}As上クラッド層4、p型GaAsキャップ層5を順に成長温度700℃程度でエピタキシャル成長させた後、p

型GaAsキャップ層5表面にCVD法等を用いて厚さ50nm以下のSiON膜を成膜温度500°C以上で成膜し、この膜をストライプ状の領域にのみ残すように、この領域以外の領域のSiON膜をエッチングして、除去する。次に、この残されたSiON膜20をマスクとして、上記p型GaAsキャップ層5及びp型AlGaAs上クラッド層4の一部を酒石酸系のエッチング液等を用いてエッチング除去して、図2(b)に示すような、SiON膜20の下の方導波路となる部分を残す。さらに、図2(c)に示すように、エッチングされた部分を埋め込むように、MOCVD法を用いてn型GaAs電流ブロック層6をSiON膜20をマスクとして選択成長させる。この際の成長温度は600~700°Cである。次に、フッ酸系のエッチング液等を用いてSiON膜20を除去した後、図2(d)に示すように、全面にp型GaAsコンタクト層7を成長させ、さらに、n型GaAs基板1の裏面にn型層側電極101、p型GaAsコンタクト層7の表面にp型層側電極102を形成する。以上述べた本実施例2の半導体発光装置の製造方法で上記実施例1と異なっているのは、電流ブロック層の選択成長マスクであるSiON膜の成膜温度を500°C以上としている点である。

【0030】本実施例2においては、電流ブロック層の選択成長マスクが従来のSiO₂より酸素の含有比率の低いSiONからなるため、実施例1で述べたようにSiON膜除去後に上記光導波路上に成長させるp型GaAsコンタクト層の成長不良を抑制でき、これによる光出力の低下を防止することができる。

【0031】また、本実施例2においては、電流ブロック層の選択成長マスクであるSiON膜の膜厚が50nm以下と薄いだけでなく、その成膜温度が500°C以上と光導波路を構成する半導体層の原子の再配置が起きる温度であるため、電流ブロック層選択成長時に室温から電流ブロック層の成長温度600~700°Cまで昇温しても、p型GaAsキャップ層は、既にこのような高温で選択成長マスクとの間で応力を生じないような上記の原子の再配置がなされているため、この選択成長において選択成長マスクとp型GaAsキャップ層との間に発生するせん断応力等の応力が緩和される。このため、この応力に起因する転位が光導波路を構成する半導体層に導入されるのを防止することができる。従って、この転位による活性層内のダークラインの発生が抑制され、これによる光出力の低下を防止することができる。

【0032】実施例3. この発明の第3の実施例について説明する。図3は本実施例の半導体発光装置の製造方法を示す断面図である。まず、図3(a)に示すように、n型GaAs基板1の表面上の全面に、MOCVD法等を用いてn型Al_{0.4}Ga_{0.6}As下クラッド層2、Al_{0.1}Ga_{0.9}As活性層3、p型Al_{0.4}Ga_{0.6}As上クラッド層4、p型GaAsキャップ層5を順に成

長温度700°C程度でエピタキシャル成長させる。この後、p型GaAsキャップ層5表面にCVD法等を用いて厚さ50nm以下のSiON膜を成膜する。この際、成膜温度は後述の電流ブロック層の成長温度±100°Cの範囲の温度とする。さらに、このSiON膜をストライプ状の領域にのみ残すように、この領域以外の領域のSiON膜をエッチングして、除去する。次に、この残されたSiON膜30をマスクとして、上記p型GaAsキャップ層5及びp型AlGaAs上クラッド層4の一部を酒石酸系のエッチング液等を用いてエッチング除去して、図3(b)に示すような、SiON膜30の下の方導波路となる部分を残す。さらに、図3(c)に示すように、エッチングされた部分を埋め込むように、MOCVD法を用いてn型GaAs電流ブロック層6をSiON膜30をマスクとして選択成長させる。この際の成長温度は600~700°Cである。次に、フッ酸系のエッチング液等を用いてSiON膜30を除去した後、図3(d)に示すように、全面にp型GaAsコンタクト層7を成長させ、さらに、n型GaAs基板1の裏面にn型層側電極101、p型GaAsコンタクト層7の表面にp型層側電極102を形成する。以上述べた本実施例3の半導体発光装置の製造方法で上記実施例1と異なっているのは、電流ブロック層の選択成長マスクであるSiON膜の成膜温度を電流ブロック層の成長温度±100°Cの範囲の温度としている点である。

【0033】本実施例3においては、電流ブロック層の選択成長マスクが従来のSiO₂より酸素の含有比率の低いSiONからなるため、実施例1で述べたようにSiON膜除去後にp型GaAsキャップ層上に成長させるp型GaAsコンタクト層の成長不良を抑制でき、これによる光出力の低下を防止することができる。

【0034】また、本実施例3においては、電流ブロック層の選択成長マスクであるSiON膜の膜厚が50nm以下と薄いだけでなく、その成膜温度と電流ブロック層の成長温度の差が100°C以下であるため、p型GaAsキャップ層は選択成長マスク成膜時に電流ブロック層選択成長時に近い熱履歴を受けることとなる。このため、電流ブロック層選択成長時に選択成長マスクとp型GaAsキャップ層との間に発生するせん断応力等の応力が緩和され、この応力に起因する転位が光導波路を構成する半導体層に導入されるのを防止することができる。従って、この転位による活性層内のダークラインの発生が抑制され、これによる光出力の低下を防止することができる。

【0035】実施例4. この発明の第4の実施例について説明する。図4は本実施例の半導体発光装置の製造方法を示す断面図である。まず、図4(a)に示すように、n型GaAs基板1の表面上の全面に、有機金属気相成長(MOCVD)法等を用いてn型Al_{0.4}Ga_{0.6}As下クラッド層2、Al_{0.1}Ga_{0.9}As活性層3、p型

Al_{0.4}Ga_{0.6}As上クラッド層4、p型GaAsキャップ層5を順に成長温度700℃程度でエピタキシャル成長させた後、p型GaAsキャップ層5表面にCVD法を用いて厚さ50nm以下のSiN膜を成膜し、この膜をストライプ状の領域にのみ残すように、この領域以外の領域のSiN膜をエッチングして、除去する。次に、この残されたSiN膜40をマスクとして、上記p型GaAsキャップ層5及びp型AlGaAs上クラッド層4の一部を酒石酸系のエッチング液等を用いてエッチング除去して、図4(b)に示すような、SiN膜40の下の方導波路となる部分を残す。さらに、図4(c)に示すように、エッチングされた部分を埋め込むように、MOCVD法を用いてn型GaAs電流ブロック層6をSiN膜40をマスクとして選択成長させる。この際の成長温度は600~700℃である。次に、フッ酸系のエッチング液等を用いてSiN膜40を除去した後、図4(d)に示すように、全面にp型GaAsコンタクト層7を成長させ、さらに、n型GaAs基板1の裏面にn型層側電極101、p型GaAsコンタクト層7の表面にp型層側電極102を形成する。

【0036】本実施例4においては、電流ブロック層の選択成長マスクが従来のSiO₂及び実施例1~3のSiONと異なり、酸素を全く含有しないSiNからなるため、n型GaAs電流ブロック層の選択成長において、このSiN膜表面におけるGaAsの付着を従来のSiO₂膜を用いた場合及び実施例1~3のようにSiON膜を用いた場合よりさらに抑制することができ、電流ブロック層成長後にSiN膜を除去する際に、付着したGaAs直下のSiN膜が残ることを防止できる。このため、SiN膜除去後に上記p型GaAsキャップ層上に成長させるp型GaAsコンタクト層の成長不良を抑制でき、これによる光出力の低下を防止することができる。

【0037】また、本実施例4においては、電流ブロック層の選択成長マスクであるSiN膜の膜厚が50nm以下と薄いため、電流ブロック層選択成長時の熱履歴によって選択成長マスクとp型GaAsキャップ層との間に発生するせん断応力等の応力が緩和され、この応力に起因する転位が光導波路を構成する半導体層に導入されるのを防止することができる。従って、この転位による活性層内のダークラインの発生が抑制され、これによる光出力の低下を防止することができる。

【0038】実施例5. この発明の第5の実施例について説明する。図5は本実施例の半導体発光装置の製造方法を示す断面図である。まず、図5(a)に示すように、n型GaAs基板1の表面上の全面に、MOCVD法等を用いてn型Al_{0.4}Ga_{0.6}As下クラッド層2、Al_{0.1}Ga_{0.9}As活性層3、p型Al_{0.4}Ga_{0.6}As上クラッド層4、p型GaAsキャップ層5を順に成長温度700℃程度でエピタキシャル成長させた後、p

型GaAsキャップ層5表面にCVD法等を用いて厚さ50nm以下のSiN膜を成膜温度500℃以上で成膜し、この膜をストライプ状の領域にのみ残すように、この領域以外の領域のSiN膜をエッチングして、除去する。次に、この残されたSiN膜50をマスクとして、上記p型GaAsキャップ層5及びp型AlGaAs上クラッド層4の一部を酒石酸系のエッチング液等を用いてエッチング除去して、図5(b)に示すような、SiN膜50の下の方導波路となる部分を残す。さらに、図5(c)に示すように、エッチングされた部分を埋め込むように、MOCVD法を用いてn型GaAs電流ブロック層6をSiN膜50をマスクとして選択成長させる。この際の成長温度は600~700℃である。次に、図5(d)に示すように、フッ酸系のエッチング液等を用いてSiN膜50を除去した後、全面にp型GaAsコンタクト層7を成長させ、さらに、n型GaAs基板1の裏面にn型層側電極101、p型GaAsコンタクト層7の表面にp型層側電極102を形成する。本実施例5の半導体発光装置の製造方法で上記実施例4と異なっているのは、電流ブロック層の選択成長マスクであるSiN膜の成膜温度を500℃以上としている点である。

【0039】本実施例5においては、電流ブロック層の選択成長マスクが、従来のSiO₂及び実施例1~3のSiONと異なり、酸素を全く含有しないSiNからなるため、実施例4で述べたようにSiN膜除去後に上記光導波路上に成長させるp型GaAsコンタクト層の成長不良を抑制でき、これによる光出力の低下を防止することができる。

【0040】また、本実施例5においては、電流ブロック層の選択成長マスクであるSiN膜の膜厚が50nm以下と薄いだけでなく、その成膜温度が500℃以上と光導波路を構成する半導体層の原子の再配置が起きる温度であるため、電流ブロック層選択成長時に室温から電流ブロック層の成長温度600~700℃まで昇温しても、p型GaAsキャップ層は、既にこのような高温で選択成長マスクとの間で応力を生じないような上記の原子の再配置がなされているため、この選択成長において選択成長マスクとp型GaAsキャップ層との間に発生するせん断応力等の応力が緩和される。このため、この応力に起因する転位が光導波路を構成する半導体層に導入されるのを防止することができる。従って、この転位による活性層内のダークラインの発生が抑制され、これによる光出力の低下を防止することができる。

【0041】実施例6. この発明の第6の実施例について説明する。図6は本実施例の半導体発光装置の製造方法を示す断面図である。まず、図6(a)に示すように、n型GaAs基板1の表面上の全面に、MOCVD法等を用いてn型Al_{0.4}Ga_{0.6}As下クラッド層2、Al_{0.1}Ga_{0.9}As活性層3、p型Al_{0.4}Ga_{0.6}As上クラッド層4、p型GaAsキャップ層5を順に成

長温度700℃程度でエピタキシャル成長させる。この後、p型GaAsキャップ層5表面にCVD法等を用いて厚さ50nm以下のSiN膜60を成膜する。この際、成膜温度は後述の電流ブロック層の成長温度±100℃の範囲の温度とする。さらに、このSiN膜をストライプ状の領域にのみ残すように、この領域以外の領域のSiN膜をエッチングして、除去する。次に、この残されたSiN膜60をマスクとして、上記p型GaAsキャップ層5及びp型AlGaAs上クラッド層4の一部を酒石酸系のエッチング液等を用いてエッチング除去して、図6(b)に示すような、SiN膜60の下の方導波路となる部分を残す。さらに、図6(c)に示すように、エッチングされた部分を埋め込むように、MOCVD法を用いてn型GaAs電流ブロック層6をSiN膜60をマスクとして選択成長させる。この際の成長温度は600~700℃である。次に、フッ酸系のエッチング液等を用いてSiN膜60を除去した後、図6(d)に示すように、全面にp型GaAsコンタクト層7を成長させ、さらに、n型GaAs基板1の裏面にn型層側電極101、p型GaAsコンタクト層7の表面にp型層側電極102を形成する。以上述べた本実施例6の半導体発光装置の製造方法で上記実施例4と異なっているのは、電流ブロック層の選択成長マスクであるSiN膜の成膜温度を電流ブロック層の成長温度±100℃の範囲の温度としている点である。

【0042】本実施例6においては、電流ブロック層の選択成長マスクが、従来のSiO₂及び実施例1~3のSiONと異なり、酸素を全く含有しないSiNからなるため、実施例4で述べたようにSiN膜除去後にp型GaAsキャップ層上に成長させるp型GaAsコンタクト層の成長不良を抑制でき、これによる光出力の低下を防止することができる。

【0043】また、本実施例6においては、電流ブロック層の選択成長マスクであるSiN膜の膜厚が50nm以下と薄だけでなく、その成膜温度と電流ブロック層の成長温度の差が100℃以下であるため、p型GaAsキャップ層は選択成長マスク成膜時に電流ブロック層選択成長時に近い熱履歴を受けることとなる。このため、電流ブロック層選択成長時に選択成長マスクとp型GaAsキャップ層との間に発生するせん断応力等の応力が緩和され、この応力に起因する転位が光導波路を構成する半導体層に導入されるのを防止することができる。従って、この転位による活性層内のダークラインの発生が抑制され、これによる光出力の低下を防止することができる。

【0044】

【発明の効果】以上のようにこの発明（請求項1）に係る半導体発光装置の製造方法によれば、半導体層表面のストライプ状の領域に厚さ50nm以下のSiON膜をその成膜温度を第1の温度として形成する工程と、上記

SiON膜をマスクとして上記半導体層を所定の深さまでエッチングして、上記SiON膜の下に残された上記半導体層からなる光導波路を形成する工程と、上記エッチングにより除去された上記半導体層の部分に、上記SiON膜をマスクとして、電流ブロック層となる第2の半導体層を成長温度を第2の温度として選択成長させる工程とを含み、電流ブロック層の選択成長マスクが従来のSiO₂より酸素の含有比率の低いSiONからなるものであるため、このSiON膜表面における電流ブロック層材料の付着を抑制することができる。このため、SiON膜除去後に上記光導波路上に成長させるコンタクト層の成長不良、または導波路上に直接形成される電極と導波路との接触不良を抑制でき、これによる光出力の低下を防止することができる。また、電流ブロック層の選択成長マスクであるSiON膜の膜厚が50nm以下と薄いため、電流ブロック層選択成長時の熱履歴によって選択成長マスクと光導波路の上部を構成する半導体層との間に発生するせん断応力等の応力が緩和され、この応力に起因する転位による活性層内のダークラインの発生が抑制され、これによる光出力の低下を防止することができる。

【0045】また、この発明（請求項2）に係る半導体発光装置の製造方法によれば、上記の半導体発光装置の製造方法（請求項1）において、上記電流ブロック層を選択成長させる工程の後、上記SiON膜をエッチング除去し、さらに上記光導波路上及び上記電流ブロック層上の全面にコンタクト層を成長させる工程を含み、電流ブロック層の選択成長マスクが従来のSiO₂より酸素の含有比率の低いSiONからなるものであるため、上記のようにSiON膜除去後に上記光導波路上に成長させるコンタクト層の成長不良を抑制でき、これによる光出力の低下を防止することができる。また、上記のように電流ブロック層の選択成長マスクであるSiON膜の膜厚が50nm以下と薄いため、電流ブロック層選択成長時の熱履歴によって選択成長マスクと光導波路の上部を構成する半導体層との間に発生するせん断応力等の応力が緩和され、この応力に起因する転位による活性層内のダークラインの発生が抑制され、これによる光出力の低下を防止することができる。

【0046】また、この発明（請求項3）に係る半導体発光装置の製造方法によれば、上記の半導体発光装置の製造方法（請求項1または2）において、上記電流ブロック層が、GaAsからなるものであり、かつ上記のように電流ブロック層の選択成長マスクが従来のSiO₂より酸素の含有比率の低いSiONからなるものであるため、このSiON膜表面における電流ブロック層材料であるGaAsの付着を抑制することができる。このため、上記のようにSiON膜除去後に上記光導波路上に成長させるコンタクト層の成長不良、または導波路上に直接形成される電極と導波路との接触不良を抑制でき、

これによる光出力の低下を防止することができる。また、上記のように電流ブロック層の選択成長マスクであるSiON膜の膜厚が50nm以下と薄いため、電流ブロック層選択成長時の熱履歴によって選択成長マスクと光導波路の上部を構成する半導体層との間に発生するせん断応力等の応力が緩和され、この応力に起因する転位による活性層内のダークラインの発生が抑制され、これによる光出力の低下を防止することができる。

【0047】また、この発明（請求項4）に係る半導体発光装置の製造方法によれば、上記の半導体発光装置の製造方法（請求項1ないし3のいずれか）において、上記第1の温度が、500℃以上であり、かつ上記のように電流ブロック層の選択成長マスクがSiO₂より酸素の含有比率の低いSiONからなるものであるため、上記のようにSiON膜除去後に上記光導波路上に成長させるコンタクト層の成長不良、または導波路上に直接形成される電極と導波路との接触不良を抑制でき、これによる光出力の低下を防止することができる。また、電流ブロック層の選択成長マスクであるSiON膜の膜厚が50nm以下と薄いだけでなく、その成膜温度すなわち上記第1の温度が500℃以上と光導波路を構成する半導体層の原子の再配置が起きる温度であるため、電流ブロック層選択成長時に選択成長マスクと光導波路の上部を構成する半導体層との間に発生するせん断応力等の応力が緩和される。このため、この応力に起因する転位による活性層内のダークラインの発生が抑制され、これによる光出力の低下を防止することができる。

【0048】また、この発明（請求項5）に係る半導体発光装置の製造方法によれば、上記の半導体発光装置の製造方法（請求項1ないし3のいずれか）において、上記第1の温度と上記第2の温度との温度差の絶対値が100℃以下であり、かつ上記のように電流ブロック層の選択成長マスクがSiO₂より酸素の含有比率の低いSiONからなるものであるため、上記のようにSiON膜除去後に上記光導波路上に成長させるコンタクト層の成長不良、または導波路上に直接形成される電極と導波路との接触不良を抑制でき、これによる光出力の低下を防止することができる。また、電流ブロック層の選択成長マスクであるSiON膜の膜厚が50nm以下と薄いだけでなく、その成膜温度すなわち上記第1の温度と、電流ブロック層の成長温度すなわち上記第2の温度が同程度であるため、電流ブロック層選択成長時に選択成長マスクと光導波路の上部を構成する半導体層との間に発生するせん断応力等の応力が緩和されて、この応力に起因する転位による活性層内のダークラインの発生が抑制され、これによる光出力の低下を防止することができる。

【0049】また、この発明（請求項6）に係る半導体発光装置の製造方法によれば、半導体層表面のストライプ状の領域に厚さ50nm以下のSiN膜をその成膜温

度を第1の温度として形成する工程と、上記SiN膜をマスクとして上記半導体層を所定の深さまでエッチングして、上記SiN膜の下に残された上記半導体層からなる光導波路を形成する工程と、上記エッチングにより除去された上記半導体層の部分に、上記SiN膜をマスクとして、電流ブロック層となる第2の半導体層を成長温度を第2の温度として選択成長させる工程とを含み、電流ブロック層の選択成長マスクがSiO₂及びSiONと異なり、酸素を含有しないSiNからなるものであるため、従来の製造方法及び上記の製造方法（請求項1～5）を用いた場合より、このSiN膜表面における電流ブロック層材料の付着を抑制することができる。このため、SiN膜除去後に上記光導波路上に成長させるコンタクト層の成長不良、または導波路上に直接形成される電極と導波路との接触不良を抑制でき、これによる光出力の低下を防止することができる。また、電流ブロック層の選択成長マスクであるSiN膜の膜厚が50nm以下と薄いため、電流ブロック層選択成長時の熱履歴によって選択成長マスクと光導波路の上部を構成する半導体層との間に発生するせん断応力等の応力が緩和され、この応力に起因する転位による活性層内のダークラインの発生が抑制され、これによる光出力の低下を防止することができる。

【0050】また、この発明（請求項7）に係る半導体発光装置の製造方法によれば、上記の半導体発光装置の製造方法（請求項6）において、上記電流ブロック層を選択成長させる工程の後、上記SiN膜をエッチング除去し、さらに上記光導波路上及び上記電流ブロック層上の全面にコンタクト層を成長させる工程を含み、かつ上記のように電流ブロック層の選択成長マスクがSiO₂及びSiONと異なり、酸素を含まないSiNからなるものであるため、上記のようにSiN膜除去後に上記光導波路上に成長させるコンタクト層の成長不良を抑制でき、これによる光出力の低下を防止することができる。また、上記のように電流ブロック層の選択成長マスクであるSiN膜の膜厚が50nm以下と薄いため、電流ブロック層選択成長時の熱履歴によって選択成長マスクと光導波路の上部を構成する半導体層との間に発生するせん断応力等の応力が緩和され、この応力に起因する転位による活性層内のダークラインの発生が抑制され、これによる光出力の低下を防止することができる。

【0051】また、この発明（請求項8）に係る半導体発光装置の製造方法によれば、上記の半導体発光装置の製造方法（請求項6または7）において、上記電流ブロック層が、GaAsからなるものであり、かつ上記のように電流ブロック層の選択成長マスクがSiO₂及びSiONと異なり、酸素を含まないSiNからなるものであるため、このSiN膜表面における電流ブロック層材料であるGaAsの付着を抑制することができる。このため、SiN膜除去後に上記光導波路上に成長させるコ

ンタクト層の成長不良、または導波路上に直接形成される電極と導波路との接触不良を抑制でき、これによる光出力の低下を防止することができる。また、上記のように電流ブロック層の選択成長マスクであるSiN膜の膜厚が50nm以下と薄いため、電流ブロック層選択成長時の熱履歴によって選択成長マスクと光導波路の上部を構成する半導体層との間に発生するせん断応力等の応力が緩和され、この応力に起因する転位による活性層内のダークラインの発生が抑制され、これによる光出力の低下を防止することができる。

【0052】この発明（請求項9）に係る半導体発光装置の製造方法によれば、上記の半導体発光装置の製造方法（請求項6ないし8のいずれか）において、上記第1の温度が、500℃以上であり、かつ上記のように電流ブロック層の選択成長マスクがSiO₂及びSiONと異なり、酸素を含有しないSiNからなるものであるため、上記のようにSiN膜除去後に上記光導波路上に成長させるコンタクト層の成長不良、または導波路上に直接形成される電極と導波路との接触不良を抑制でき、これによる光出力の低下を防止することができる。また、電流ブロック層の選択成長マスクであるSiN膜の膜厚が50nm以下と薄いだけでなく、その成膜温度すなわち上記第1の温度が500℃以上と光導波路を構成する半導体層の原子の再配置が起きる温度であるため、電流ブロック層の選択成長において選択成長マスクと光導波路の上部を構成する半導体層との間に発生するせん断応力等の応力が緩和される。このため、この応力に起因する転位による活性層内のダークラインの発生が抑制され、これによる光出力の低下を防止することができる。

【0053】また、この発明（請求項10）に係る半導体発光装置の製造方法によれば、上記の半導体発光装置の製造方法（請求項6ないし8のいずれか）において、上記第1の温度と上記第2の温度との温度差の絶対値が100℃以下であり、かつ上記のように電流ブロック層の選択成長マスクがSiO₂及びSiONと異なり、酸素を含有しないSiNからなるものであるため、上記のようにSiN膜除去後に上記光導波路上に成長させるコンタクト層の成長不良、または導波路上に直接形成される電極と導波路との接触不良を抑制でき、これによる光

出力の低下を防止することができる。また、電流ブロック層の選択成長マスクであるSiN膜の膜厚が50nm以下と薄いだけでなく、その成膜温度すなわち上記第1の温度と、電流ブロック層の成長温度すなわち上記第2の温度が同程度であるため、電流ブロック層選択成長時に選択成長マスクと光導波路の上部を構成する半導体層との間に発生するせん断応力等の応力が緩和されて、この応力に起因する転位による活性層内のダークラインの発生が抑制され、これによる光出力の低下を防止することができる。

【図面の簡単な説明】

【図1】 この発明の第の実施例1による半導体発光装置の製造方法を示す断面図である。

【図2】 この発明の第の実施例2による半導体発光装置の製造方法を示す断面図である。

【図3】 この発明の第の実施例3による半導体発光装置の製造方法を示す断面図である。

【図4】 この発明の第の実施例4による半導体発光装置の製造方法を示す断面図である。

【図5】 この発明の第の実施例5による半導体発光装置の製造方法を示す断面図である。

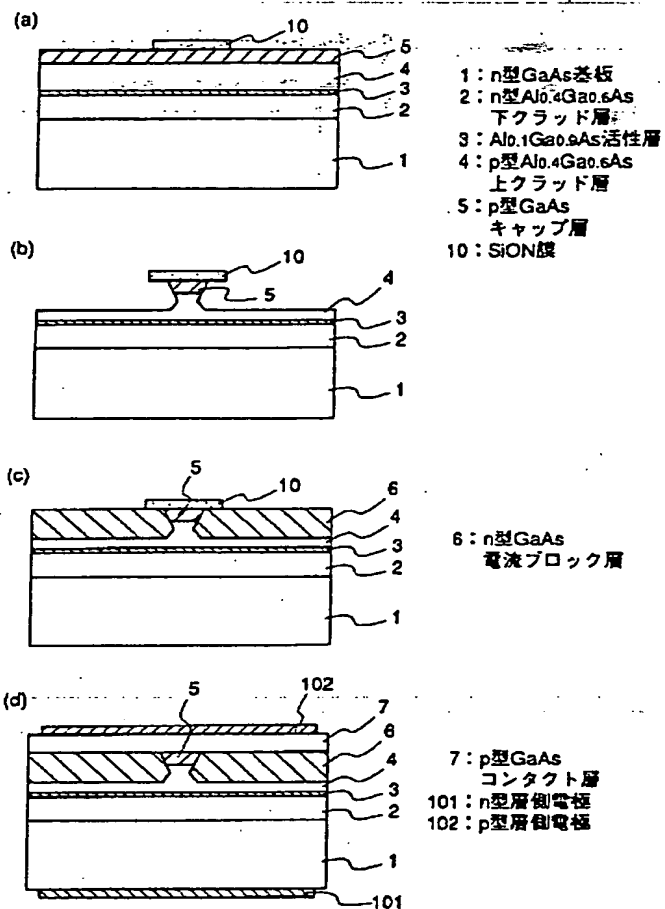
【図6】 この発明の第の実施例6による半導体発光装置の製造方法を示す断面図である。

【図7】 従来の半導体発光装置の製造方法を示す断面図である。

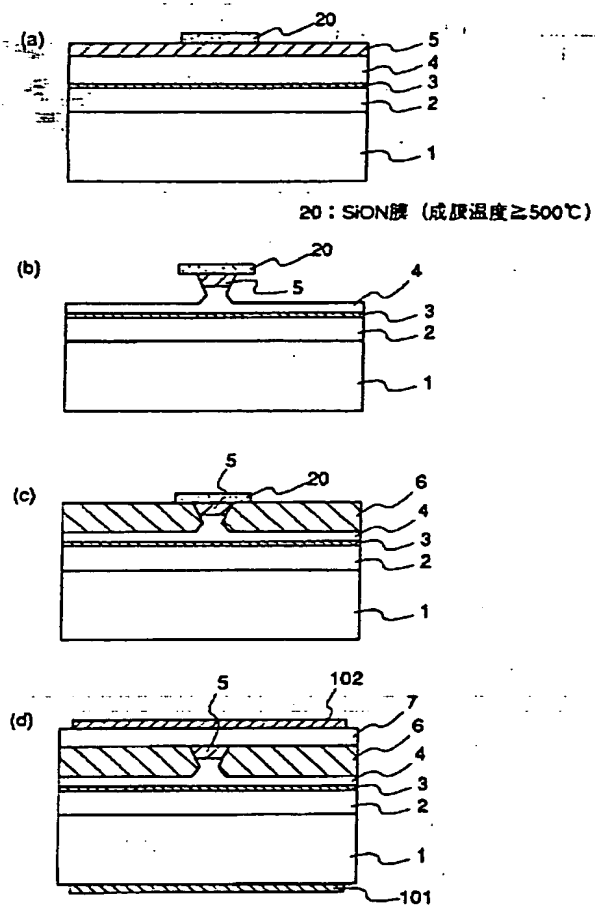
【符号の説明】

1 n型GaAs基板, 2 n型Al_{0.4}Ga_{0.6}As下クラッド層, 3 Al_{0.1}Ga_{0.9}As活性層, 4 p型Al_{0.4}Ga_{0.6}As上クラッド層, 5 p型GaAsキャップ層, 6 n型GaAs電流ブロック層, 7 p型GaAsコンタクト層, 10 SiON膜, 20 温度500℃以上で成膜したSiON膜, 30 電流ブロック層選択成長温度±100℃の範囲の温度で成膜したSiON膜, 40 SiN膜, 50 温度500℃以上で成膜したSiN膜, 60 電流ブロック層選択成長温度±100℃の範囲の温度で成膜したSiN膜, 70 SiO₂膜, 101 n型層側電極, 102 p型層側電極。

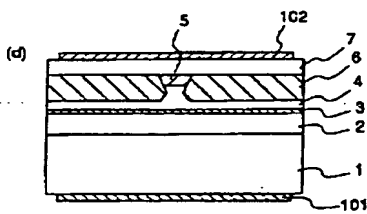
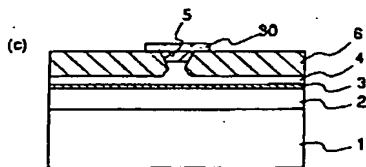
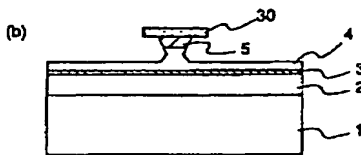
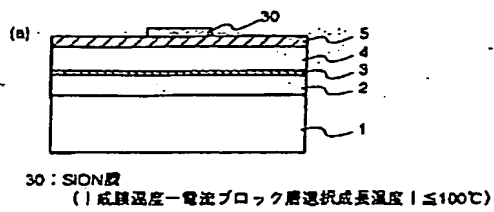
【図1】



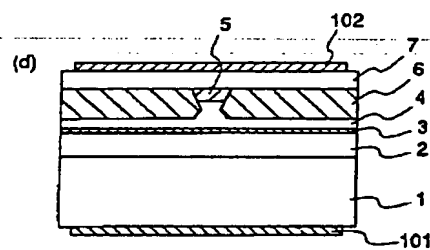
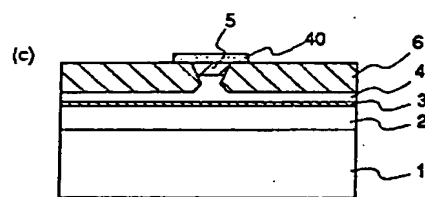
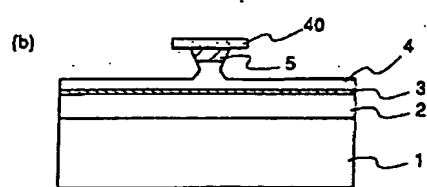
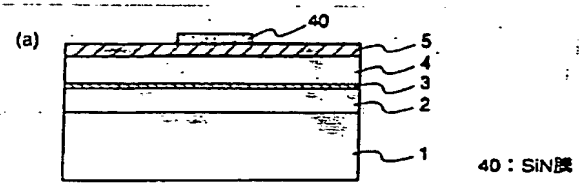
【図2】



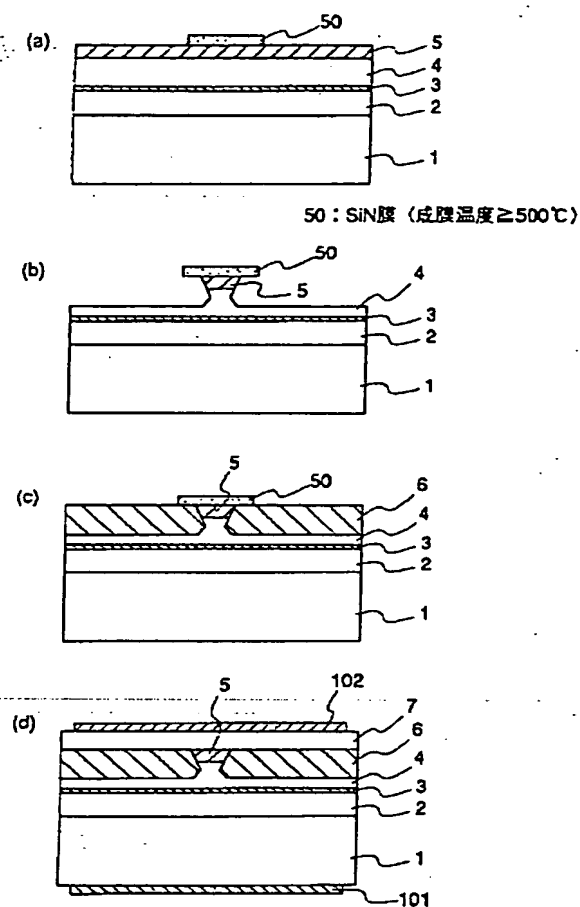
【図3】



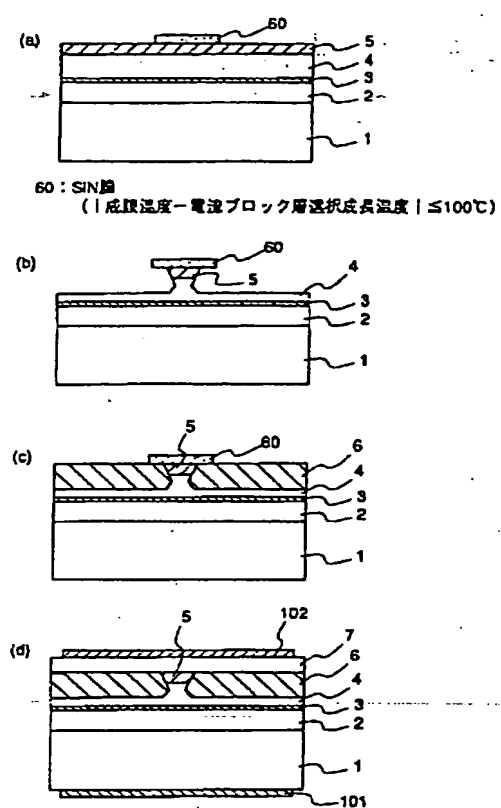
【図4】



【図5】



【図6】



【図 7】

